

: 인용참증(한국공개특허공보 1999-46953) 1부.

[첨부그림 1]

특 1999-0046953

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁹
H01L 21/336

(11) 공개번호 특1999-0046953
(43) 공개일자 1999년07월05일

(21) 출원번호	10-1997-0065133
(22) 출원일자	1997년12월02일
(71) 출원인	엘지반도체 주식회사 구본준 충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자	이득희
(74) 대리인	서울특별시 동대문구 장안3동 435-3 6층 8반 양순석, 한운근

심사청구 : 없음

(54) 반도체장치의 트랜지스터 제조방법

요약

본 발명은 반도체장치의 트랜지스터 제조방법에 관한 것으로서 특히, 엘디디(lightly doped drain)구조의 모스 트랜지스터(MOS transistor)에서 측벽(sidewall spacer)과 실리콘기판 사이의 산화막 두께를 조절하여 게이트전극과 실리콘기판 사이에 위치한 얇은 산화막으로 유입되는 핫-캐리어(hot carrier)를 감소시켜 반도체소자의 신뢰성을 효과적으로 향상시키는 반도체 제조공정을 제공한다.

이에 따라 본 발명에 따른 반도체장치의 트랜지스터 제조방법은 제 1 도전형 반도체기판 표면에 제 1 절연막을 형성하는 단계와, 제 1 절연막 위에 제 1 도전층을 형성하는 단계와, 제 1 도전층 위에 제 2 절연막을 형성하는 단계와, 제 2 절연막과 제 1 도전층 그리고 제 1 절연막의 소정부분을 동시에 제거하여 잔류한 제 1 도전층으로 이루어진 게이트를 형성하는 단계와, 잔류한 제 1 절연막의 측면 그리고 노출된 기판의 표면 및 노출된 게이트의 측면에 플라즈마를 이용하여 제 3 절연막을 형성하는 단계와, 게이트의 측면 하단의 반도체 기판 내부 및 표면에 저농도의 제 2 도전형 불순물영역을 형성하는 단계와, 잔류한 제 2 절연막과 게이트 측면 그리고 잔류한 제 1 절연막 측면에 절연물로 이루어진 측벽을 형성하는 단계와, 저농도의 제 2 도전형 불순물영역과 정전을 이루는 고농도의 제 2 도전형 불순물영역을 형성하는 단계와, 제 2 도전형 불순물이온들을 충분히 확산시키는 단계로 이루어진다.

도표도

도 1a

도 1b

도면의 간단한 설명

도 1은 종래 기술에 따라 제조된 반도체장치의 트랜지스터의 채널길이방향에서 본 단면도

도 2a 내지 도 2c는 본 발명에 따른 반도체장치의 트랜지스터의 채널길이방향에서 본 제조공정 단면도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체장치의 트랜지스터 제조방법에 관한 것으로서 특히, 엘디디(lightly doped drain)구조의 모스 트랜지스터(MOS transistor)에서 측벽(sidewall spacer)과 실리콘기판 사이의 산화막 두께를 조절하여 게이트전극과 실리콘기판 사이에 위치한 얇은 산화막으로 유입되는 핫-캐리어(hot carrier)를 감소시켜 반도체소자의 신뢰성을 효과적으로 향상시키는 반도체 제조공정에 관한 것이다.

일반적으로 알려진 바와 같이 게이트와 소스 및 드레인으로 이루어진 트랜지스터의 동작특성은 게이트에 문턱전압 이상의 전압이 인가되면 드레인 과 소스 사이에는 채널이 형성되어 그 채널을 통해 드레인과 소스 사이에 전류가 흐르게 된다. 이러한 스위칭 역할이 트랜지스터의 대표적인 동작이라 할 수 있다.

반도체장치가 고집적화 됨에 따라 각각의 셀은 미세해져 내부의 전계 강도가 증가된다. 이러한 전계 강도의 증가는 소자 동작시 드레인 부근의 공핍층에서 채널영역의 캐리어를 가속시켜 게이트산화막으로 주입시키는 핫-캐리어 효과(hot-carrier effect)를 일으킨다. 게이트산화막에 주입된 캐리어는 반도체기판과 게이트산화막의 계면에 준위를 생성시켜 드레쉬홀드전압(threshold voltage : VTH)을 변화시키거나 상호 커패턴스를 저하시켜 소자 특성을 저하시킨다. 그러므로, LDD 등과 같이 드레인 구조를 변화시켜 핫-캐리

어 효과에 의한 소자 특성의 저하를 감소시킨다.

도 1 은 종래 기술에 따라 제조된 반도체장치의 트랜지스터의 채널길이방향에서 본 단면도이다.

도 1을 참조하면, 제 1 도전형 실리콘반도체기판(10) 표면을 열산화시켜 양측의 기판 상부에 제 1 절연막으로 게이트 산화막(11)을 형성한다.

제 1 절연막(11) 위에 불순물이 도핑된 다결정실리콘을 화학기상증착(Chemical Vapor Deposition : 이하, CVD라 칭함) 방법으로 증착하고, 이 다결정실리콘 상에 캡핑용 제 2 절연막(5)으로 질화실리콘을 CVD 방법으로 증착한다.

그리고, 질화실리콘 및 다결정실리콘을 포토리소그래피(photolithography) 방법으로 패터닝하여 게이트(1) 및 그 위에 잔류한 캡핑용 제 2 절연막(5) 그리고 게이트 밑에 잔류한 제 1 절연막을 형성한 다음, 다시 노출된 실리콘기판(10)의 표면을 보호하기 위하여 열산화공정을 실시하여 제 3 절연막(12)을 형성한다. 이때 게이트(1)의 외측 하단 모서리 부분에서는 다결정실리콘의 산화가 수직 및 수평방향으로 일어나므로 형성되는 열산화막의 두께는 타부위의 열산화막보다 두껍게 되며, 또한 폴리실리콘의 산화율이 기판표면 실리콘의 산화율보다 2 배 내지 3 배에 이르므로 타 부위의 열산화막보다 두껍게 성장되는 이유가 된다.

그리고 웰디디영역 형성을 위한 저농도 제 2 도전형 이온주입으로 웰디디영역(7)을 형성하고 기판(10)의 전면에 산화막을 증착하여 형성한 후 전면에 대하여 에치백을 실시하면 잔류한 제 2 절연막(5)과 게이트(1) 측면에 측벽(6)을 형성한다.

그리고 형성된 측벽(6)과 잔류한 캡핑용 제 2 절연막을 마스크로 이용한 고농도 제 2 도전형 이온주입으로 고농도 불순물영역(8)을 만들어 소스드레인(8)을 형성하여 MOST트랜지스터를 완성한다.

도 1에서와 같은 종래의 웰디디구조의 MOST트랜지스터에서는 채널(2)내의 전자가 수평방향의 전계로 부터 에너지를 얻어 게이트 산화막인 제 1 절연막(11)과 제 3 절연막(12)이 만나는 부위(3) 아래에서 산화실리콘과 실리콘이 만나는 계면의 에너지보다 큰 에너지를 갖게된 전자가 에너지장벽을 넘어 게이트산화막(11) 속으로 주입되는 핫캐리어 인젝션(hot carrier injection)현상이 발생하는데 이러한 현상은 게이트(1) 하단 모서리 부위의 절연막(4)의 두께와 밀접한 관계가 있다. 특히 수평방향의 전계가 가장 큰 영역인 제 1 절연막(11)과 제 3 절연막(12)이 게이트 하단 모서리 부위에서 만나는 영역(3)에서의 산화막의 두께가 두꺼울수록 핫캐리어 유입이 더욱 증가하여 소자의 특성 열화를 야기한다.

그러나 상술한 바와 같이 종래의 기술에 의해 제조된 반도체장치의 웰디디 MOST트랜지스터는 산화막의 두께에 기인한 핫 캐리어의 유입증가로 인한 열화현상이 제 3 절연막(12)을 열산화로 형성시킬 때 게이트 영역의 양끝 하단부의 두께가 상대적으로 두껍게 되어 핫캐리어의 유입이 심화되는 현상을 보이게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 웰디디(lightly doped drain)구조의 MOS 트랜지스터(MOS transistor)에서 측벽(sidewall spacer)과 실리콘기판 사이의 산화막 두께를 조절하여 게이트전극과 실리콘기판 사이에 위치한 얇은 산화막으로 유입되는 핫-캐리어(hot carrier)를 감소시켜 반도체소자의 신뢰성을 효과적으로 향상시키는 반도체장치의 트랜지스터 제조방법을 제공함에 있다.

상기 목적을 달성하기 위한 본 발명에 따른 반도체장치의 트랜지스터 제조방법은 제 1 도전형 반도체기판 표면에 제 1 절연막을 형성하는 단계와, 제 1 절연막 위에 제 1 도전층을 형성하는 단계와, 제 1 도전층 위에 제 2 절연막을 형성하는 단계와, 제 2 절연막과 제 1 도전층 그리고 제 1 절연막의 소정부분을 동시에 제거하여 잔류한 제 1 도전층으로 이루어진 게이트를 형성하는 단계와, 잔류한 제 1 절연막의 측면 그리고 노출된 기판의 표면 및 노출된 게이트의 측면에 플라즈마를 이용하여 제 3 절연막을 형성하는 단계와, 게이트의 측면 하단의 반도체 기판 내부 및 표면에 저농도의 제 2 도전형 불순물영역을 형성하는 단계와, 잔류한 제 2 절연막과 게이트 측면 그리고 잔류한 제 1 절연막 측면에 절연물로 이루어진 측벽을 형성하는 단계와, 저농도의 제 2 도전형 불순물영역과 접선을 이루는 고농도의 제 2 도전형 불순물영역을 형성하는 단계와, 제 2 도전형 불순물이온들을 충분히 확산시키는 단계로 이루어진 공정을 구비한다.

발명의 구성 및 작용

이하, 첨부한 도면을 참조하여 본 발명을 상세히 설명한다.

도 2a 내지 도 2c는 본 발명에 따른 반도체장치의 트랜지스터 제조공정단면도이다.

도 2a를 참조하면, 제 1 도전형 실리콘반도체기판(21) 표면을 열산화시켜 기판(21) 상부에 제 1 절연막으로 게이트 산화막(22)을 형성한다.

제 1 절연막(22) 위에 불순물이 도핑된 다결정실리콘(23)을 화학기상증착(Chemical Vapor Deposition : 이하, CVD라 칭함) 방법으로 증착하고, 이 다결정실리콘 상에 캡핑용 제 2 절연막(24)으로 질화실리콘을 CVD 방법으로 증착한다.

그리고, 질화실리콘(24) 및 다결정실리콘(23) 그리고 제 1 절연막(24)을 포토리소그래피(photolithography) 방법으로 패터닝하여 게이트(23) 및 그 위에 잔류한 캡핑용 제 2 절연막(24) 그리고 게이트(23) 밑에 잔류한 제 1 절연막(22)을 형성한 다음, 다시 노출된 실리콘기판(21)의 표면 및 노출된 게이트(23)의 측면을 보호하기 위하여 산소 플라즈마를 이용하여 막의 두께가 균일한(uniform) 산화막인 제 3 절연막(25)을 형성한다. 이러한 산화막 형성은 기판(21)과 게이트(23)를 이루고 있는 폴리실리콘의 실리콘 원자들이 플라즈마 상태의 산소 라디칼과 반응하여 형성되므로 종래의 열산화공정에 의한 게이트 산화막(22)의 두께 변화를 야기하지 아니하며 게이트(23)의 측면, 게이트절연막(22)의 측면 그리고 노출된 실리콘 기판(24)의 표면에 형성된다. 이때 플라즈마 방식은 마이크로웨이브, 아이시피(ICP), 펄스리온

(Helicon), 씨씨피(CCP)등의 모든 공정을 이용할 수 있으며, 그 조건에 있어서 기체 산소의 유량을 200 - 5000 sccm으로 하고 챔버내의 압력은 200 - 500 mT 로 하며 온도는 20 - 300 도씨로 하여 두께가 20 - 50 옹스트롬인 산화막인 제 3 절연막을 형성한다.

도 2b에 있어서 그리고 엘디디영역 형성을 위하여 잔류한 캄핑용 질화막인 제 2 절연막(24) 패턴을 마스크로 이용하는 이온주입을 제 2 도전형 불순물 이온을 사용하여 저농도로 실시하므로써 게이트(23) 측면 하단의 실리콘기판(21) 내부 및 표면에 엘디디영역(26)을 형성한다.

도 2c에 있어서, 실리콘 기판(21)의 전면에 산화막(28)을 증착하여 형성한 후 전면에 대하여 에치백을 실시하여 잔류한 제 2 절연막(24)과 게이트(23) 측면 그리고 잔류한 게이트산화막인 제 1 절연막(22) 측면에 측벽(28)을 형성한다.

그리고 형성된 측벽(6)과 잔류한 캄핑용 제 2 절연막(24)을 마스크로 이용한 제 2 도전형 불순물 이온으로 고농도 이온주입을 실시하여 불순물영역(27)을 만든 뒤 매립된 제 2 도전형 불순물이온들의 충분한 확산을 위한 열처리를 실시하여 엘디디(26)와 소스/드레인(27)을 형성하여 모스트랜지스터를 완성한다.

본 발명에 의하여 제조된 모스 트랜지스터는 상술한 바와 같이 산소 플라즈마를 이용한 산화막 형성으로 균일한 막의 두께를 형성할 수 있으므로 핫캐리어 인젝션 현상을 감소시킬 수 있고 실험적으로도 게이트 산화막인 잔류한 제 1 절연막(22)과 제 3 절연막(25) 그리고 엘디디(26)가 만나는 부위의 산화막 두께가 얇을 수록 핫캐리어의 라이프타임(life time)이 더욱 연장된 결과를 나타내어 소자의 신뢰성을 향상시킨다.

발명의 효과

따라서, 본 발명은 종래 기술의 문제점인 실리콘 열산화막 형성시 게이트용 폴리실리콘과 기판의 실리콘의 산화비율의 차이로 인하여 두껍고 불균일하게 성장된 산화막에 기인한 핫캐리어 인젝션현상을 산소플라즈마를 이용한 산화막형성으로 대체하여 균일하고 얇은 산화막을 형성하므로써 그러한 현상을 감소시켜 소자의 신뢰성을 향상시키는 장점을 제공한다.

(57) 청구의 범위

청구항 1

제 1 도전형 반도체기판 표면에 제 1 절연막을 형성하는 단계와,

상기 제 1 절연막 위에 제 1 도전층을 형성하는 단계와,

상기 제 1 도전층 위에 제 2 절연막을 형성하는 단계와,

상기 제 2 절연막, 상기 제 1 도전층, 상기 제 1 절연막의 소정부분을 동시에 제거하여 잔류한 상기 제 1 도전층으로 이루어진 게이트를 형성하는 단계와,

잔류한 상기 제 1 절연막의 측면 그리고 노출된 상기 기판의 표면 및 노출된 상기 게이트의 측면에 플라즈마를 이용하여 제 3 절연막을 형성하는 단계와,

상기 게이트의 측면 하단의 상기 반도체 기판 내부 및 표면에 저농도의 제 2 도전형 불순물영역을 형성하는 단계와,

잔류한 상기 제 2 절연막과 상기 게이트 측면 그리고 잔류한 상기 제 1 절연막 측면에 절연물로 이루어진 측벽을 형성하는 단계와,

상기 저농도의 제 2 도전형 불순물영역과 정선을 이루는 고농도의 제 2 도전형 불순물영역을 형성하는 단계와,

상기 제 2 도전형 불순물이온들을 충분히 확산시키는 단계로 이루어진 반도체장치의 트랜지스터 제조방법.

청구항 2

청구항 1에 있어서, 상기 제 2 절연막은 질화막을 증착하여 형성하는 것이 특징인 반도체장치의 트랜지스터 제조방법.

청구항 3

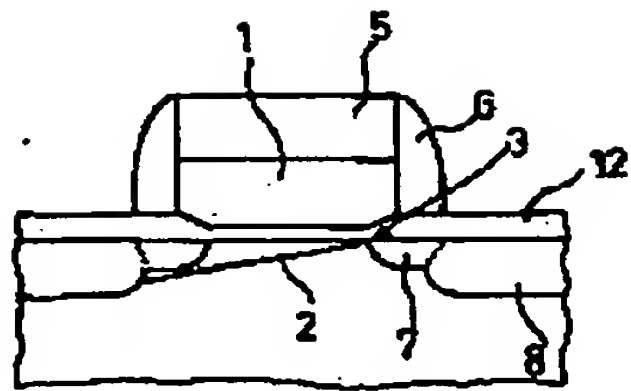
청구항 1에 있어서 상기 플라즈마 방식은 산소를 사용하며 마이크로웨이브, 마이시피(ICP), 헬리콘(Helicon), 씨씨피(CCP)등의 모든 공정을 이용할 수 있는 것이 특징인 반도체장치의 트랜지스터 제조방법.

청구항 4

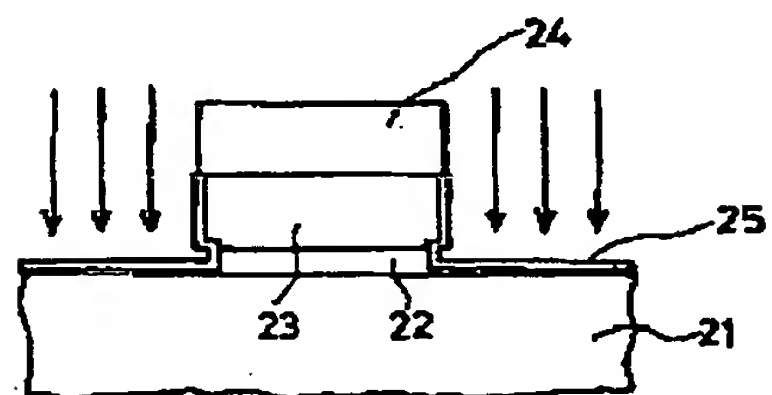
청구항 1 및 청구항 3에 있어서, 상기 제 3 절연막 형성조건은 기체 산소의 유량을 200 - 5000 sccm으로 하고 챔버내의 압력은 200 - 500 mT 로 하며 온도는 20 - 300 도씨로 하여 두께가 20 - 50 옹스트롬이도 특 형성하는 것이 특징인 반도체장치의 트랜지스터 제조방법.

도면

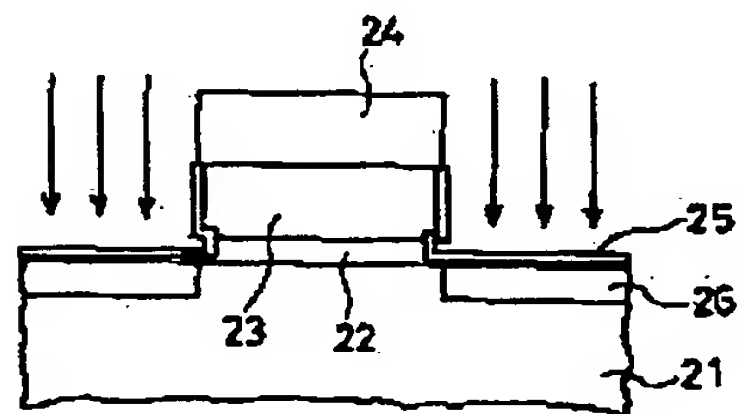
도면1



도면2a



도면2b



도면 20

